

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 52-009335

(43)Date of publication of application : 24.01.1977

(51)Int.Cl.

G06F 11/08

G06F 13/00

(21)Application number : 50-085436

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 11.07.1975

(72)Inventor : HAMADA MASARU

(54) PARITY CHECK SYSTEM

(57)Abstract:

PURPOSE: To detect burst errors accurately by utilizing characteristics of the conventional parity check systems and by adding gates in a small quantity.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



① 日本国特許庁
公開特許公報

昭和50年7月11日

特許庁長官殿

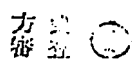
1. 発明の名称 **パリティチェック方式**
2. 特許請求の範囲に記載された発明の数 **2**
3. 発明者
住所 **鎌倉市上町風325番地
三菱電機株式会社 計算機製作所内**
- 氏名 **浜田 勝**
4. 特許出願人
住所 **郵便番号 100
東京都千代田区丸の内二丁目2番3号**
名称 **(601)三菱電機株式会社**
代表者 **趙藤 貞和**
5. 代理人
住所 **郵便番号 100
東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内**
氏名(6699)弁理士 **高野 信**
6. 添付書類の目録
(1) 明細書 1通
(2) 図面 1通
(3) 委任状 1通
(4) 出願審査請求書 1通



①特開昭 52-9335
④3公開日 昭52.(1977) 1.24
②1特願昭 50-85436
②2出願日 昭50.(1975) 7.11
審査請求 未請求 (全6頁)

庁内整理番号
6676 56
6453 56

⑤2日本分類
977G11
977G01
⑤1 Int.CI²
G06F 11/08
G06F 13/00



50 085436

明 細 書

1. 発明の名称
パリティチェック方式
2. 特許請求の範囲
(1) 奇数奇偶検査方式(ODD-パリティチェック)を採る記憶装置において、書き込み情報あるいは読出し情報がオール"1"のときのみ偶数奇偶検査方式(EVEN-パリティチェック)に切り替え、単一ビットエラーおよび、バーストエラーを検出することを特徴とするパリティチェック方式。
(2) 偶数奇偶検査方式(EVEN-パリティチェック)を採る記憶装置において、書き込み情報あるいは読出し情報がオール"0"のときのみ奇数奇偶検査方式(ODD-パリティチェック)に切り替え、単一ビットエラーおよび、バーストエラーを検出することを特徴とするパリティチェック方式。
3. 発明の詳細な説明
この発明は記憶装置から情報を読出すに際し

、この読出される情報の誤りを検出するパリティチェック方式に関する。

情報を記憶装置に書き込んで再び読出すとその間に種々の要因によって誤りを生ずることがある。この誤りを検出するため通常奇偶検査方式(パリティチェック)が採用される。この方式は広く公知であり、例えば特公昭44-18847号公報でも詳しく説明されている。

しかしこの方式では上記公報でも触れているように、パリティビットも含めた全ビットのエラーは検知されない事があるという欠点があった。即ち、通常の情報長である8ビットの場合、今書き込み情報を(10110110)とすると、奇数偶数検査方式(ODDパリティ方式)ではチェックビット(パリティビット)は"0"となり、偶数奇偶検査方式(EVENパリティ方式)ではパリティビットは"1"となる。従って記憶装置へは、前者では(10110110, 0)として、後者では(10110110, 1)として書込まれる。前者の場合、情報の読

み出し時データがオール"0"、即ち(00000000, 0)となるバースト故障が起るとEVENパリティになるのでパリティエラーとして検知される。逆に情報がオール"1"即ち(11111111, 1)となるバースト故障が起るとODDパリティが成立しているのでパリティエラーとはならずバースト故障は見過される。一方後者の場合、情報の読み出し時データがオール"1"になるバーストエラーが起るとODDパリティになるのでパリティエラーとして検出されるが、オール"0"となるバーストエラーではEVENパリティが成立しているのでパリティチェックにかからず、バーストエラーは見過される。これらの欠点を改良する方法が前記特公昭44-18847号公報に提案されている。しかしこの方法によってもバーストエラーが見過される欠点がある。即ち前記公報の第2頁右欄第4行目から第84行目の説明文及び前記公報の第2図を用い説明を行う。前記公報第2頁右欄第4行目以降の説明によると8番地の情報

(8)

されています、従って誤って読み出されたことが検知されない。即ち、バーストエラーは通常アドレスと全く無関係に発生するので、アドレス信号と対応させても無意味である。

この発明の目的は、従来のパリティチェックの特徴を保存する一方、さらに前記バーストエラーの不検出の欠点を簡単な手段を用いることによって解決するパリティチェック方式を提供することにある。

即ちこの発明はその目的手段として奇数パリティ方式のとき書き込み情報がオール"1"のときのみ偶数パリティで書き込み、同様に読み出し情報がオール"1"のときのみ偶数パリティにてチェックし、また偶数パリティ方式のときは書き込み情報がオール"0"のときのみ奇数パリティで書き込み、同様に読み出し情報がオール"0"のときのみ奇数パリティでチェックし、通常の単一ビットの読み出しエラーの検出の他にバーストエラーの検出も行うものである。

以下この発明の実施例を図をもって説明する

(5)

(11001)の読み出し命令がありこれが何らかの原因で誤って(00000)として読み出されると偶数パリティ検出回路04から出力04が出、この時アンドゲート09はゲートされているからエラー信号04が発生し、誤って読み出されたことがわかるが、もしここで誤って(11111)として読み出されると奇数パリティ検出回路04から出力04が出るがアンドゲート09はアドレス情報の3ビットが"1"であるから、ゲートされておらずエラー信号04が発生せずバーストエラーが見過される。同様に前記公報第2頁右欄第18行目以降の例で、先の情報(11001)が偶数アドレスにあれば、アドレス2ビットが"0"であるからアンドゲート09はゲートされアンドゲート09はゲートされず、従って情報が誤って(11111)と読み出されると確かにエラー信号04が発生し、誤って読み出したことを検知するが、もし情報が誤って(00000)と読み出されると偶数パリティ検出回路04から出力04が出るがアンドゲート09がゲート

(4)

。第1図は本発明の一実施例であり、奇数パリティ方式の書き込み回路を示す。第1図において(1)は例えば8ビット(2⁰, 2¹, 2², 2³, 2⁴, 2⁵, 2⁶, 2⁷)からなる入力情報で、これは記憶装置(2)、パリティ発生回路(3)及びアンドゲート(4)の入力として加えられる。インバータ(5)はアンドゲート出力(6)の極性を反転させるものである。パリティ発生回路(3)は例えば三菱電機(株)製のM5838UPなどがこれに当る。パリティ発生回路(3)は奇数パリティ、偶数パリティいずれの出力も得ることが可能である。

今奇数パリティ指示入力U1を"1"、偶数パリティ指示入力E1を"0"にすれば奇数パリティ出力がODD端子に偶数パリティ出力がEVEN端子に現れる。たとえば入力情報2⁰~2⁷で"1"の数が偶数ならばODD出力は"1"、EVEN出力は"0"、入力情報2⁰~2⁷で"1"の数が奇数ならばODD出力は"0"、EVEN出力は"1"になる。今奇数パリティ指示入力U1を"0"、偶数パリティ指示入力E1を"1"にする

(6)

とパリティ出力は先の例とちょうど逆になる。つまり入力情報 $2^0 \sim 2^7$ で“1”の数が偶数ならばO D D出力は“0”，E V E N出力は“1”，入力情報 $2^0 \sim 2^7$ の“1”の数が奇数ならばO D D出力は“1”，E V E N出力は“0”になる。アンドゲート(4)は入力情報 $2^0 \sim 2^7$ がオール“1”のときその出力(6)が“1”となり，パリティ発生回路(8)及びインバータ(5)に送付される。第1図では通常アンドゲート出力(6)は“0”でパリティ発生(生成)は，奇数パリティで行われているが，入力情報 $2^0 \sim 2^7$ がオール“1”になると偶数パリティに切替えられる。パリティ発生器(8)の出力(8)はチェックビット(パリティビット)として記憶装置(2)に送付される。

この様な構成において今入力情報として，例えば $2^0 \sim 2^7$ が(1 0 1 1 0 0 1 1)とすると，情報はオール“1”でないからアンドゲート(4)はゲートされずアンドゲート出力(6)は“0”となり，パリティ発生器(8)は奇数パリティとして働く。データの“1”の数は5で奇数故パリティ発生

(7)

路(8)のO D D出力(8)をアンドゲート(4)の出力の否定入力でゲートし，アンドゲート(4)はパリティチェック回路(8)のE V E N出力(8)をアンドゲート(4)の出力(6)でゲートする。03はオア回路でアンドゲート(4)またはアンドゲート(4)の出力のオア出力(4)を発生する。パリティエラーが発生するとこのオア出力(4)が“1”になる。04はパリティビット出力であり，パリティチェック回路(8)とインバータ(5)に送付される。

この様に構成された読出し情報検出回路において，今前記した情報(1 0 1 1 0 0 1 1, 0)が正しく読出されるとパリティビット 2^8 出力(4)は“0”で，データの“1”の数が奇数故パリティチェック回路(8)の出力(8)は“0”となる。データはオール“1”ではないからアンドゲート(4)の出力(6)は“0”でありアンドゲート(4)はゲートされるが上記O D D出力が“0”のためアンドゲート(4)には出力は現れない。即ち“0”となる。一方パリティチェック回路(8)のE V E N出力(8)は“1”であるが，アンドゲート(4)の出力が“0”

(9)

器(8)の出力は“0”となり記憶装置(2)に送付される。

今入力情報がオール“1”のときアンドゲート(4)がゲートされアンドゲート出力(6)が“1”となりパリティ発生器(8)は偶数パリティ発生器に切替わる。情報の“1”の数は8であり偶数故パリティ発生器(8)の出力(8)は“0”になり記憶装置(2)に(1 1 1 1 1 1, 0)として送付される。

今入力情報がオール“0”のとき，今までの説明で察せられるように，パリティ発生は奇数パリティモード，“1”の数は偶数故パリティ発生器出力(8)は“1”となり記憶装置(2)に(0 0 0 0 0 0 0, 1)として送付される。

次に第2図において情報を読出す場合について述べる。第2図は記憶装置(2)からの読み出し情報の誤りを検出する場合を示すブロック図で第1図と同一符号は同一部分を示す。(3)はパリティチェック回路で素子は第1図のパリティ発生器(8)と全く同じものである。00はアンドゲートでアンドゲート(4)はパリティチェック回

(8)

であるためアンドゲート(4)はゲートされずその出力は“0”となり，従って結局オアゲート(4)からエラー信号(4)は出ない。

一方もし何等かの原因で上記情報がオール“1”(パリティビットも含めて)と誤って読み出されたとする。このとき，データの“1”の数は偶数で，パリティビットの出力(8)は“1”であるからパリティチェック回路(8)のO D D出力(8)は“0”となる。一方アンドゲート(4)の出力はアンドゲート(4)がとれるので“0”となり，従ってアンドゲート(4)はゲートされ結局オアゲート(4)からエラー信号(4)が発生し，エラーがあったことが検知される。

また上記情報が何らかの原因で誤ってオール“0”(パリティビットも含めて)と読み出された場合を考えると，情報の“1”の数は偶数，パリティビット出力(8)は“0”故パリティチェック回路(8)のO D D出力(8)は“1”となり，一方，アンドゲート(4)の出力(6)は“0”なので出力(8)はアンドゲート(4)でゲートされ結局オアゲート(4)にエ

(10)

ラー信号が発生し、エラーが検知される。

なお書き込み情報(11111111, 0)を読み出す場合を考えると、これが正しく読み出されるとパリティビット出力は"0"であり、情報の"1"の数が偶数故パリティチェック回路(37)のODD出力は"1"、EVEN出力(41)は"0"となる。一方アンドゲート(44)はアンド条件がとれるのでその出力(45)は"1"となり、アンドゲート(44)はゲートされるが、アンドゲート(44)はゲートされない。従ってオアゲート(43)の出力時にはエラー出力は発生しない。当然のことながら、ここでパリティビットが誤って"1"と読み出されると先に説明したごとく、オール"1"脱出し故オアゲート(43)の出力は"1"となりエラーとして検出される。

第8図および第4図はこの発明の他の実施例を示すもので、偶数パリティ方式の場合を示す。この場合書き込み情報がオール"0"のときのみ奇数パリティで書き込み、読み出し時、読み出し情報がオール"0"(パリティビットを除く)の

04

のデータ(10110011, 1)が正しく読み出されるとパリティチェック回路(37)のODD出力(41)は"1"になるが、アンドゲート(44)はアンド条件がとれていないので"0"となり、ゲート(44)はゲートされない。一方パリティチェック回路(37)のEVEN出力(41)は"0"である。従ってオアゲート(43)の出力時にはエラー信号は出ない。

もし上記情報が誤ってオール"0"(パリティビットも含め)と読み出されるとパリティチェック回路(37)のODD出力は"1"でかつアンドゲート(44)の出力はアンド条件がとれているので"1"となり従ってゲート(44)はゲートされ、オアゲート(43)の出力時にはエラー信号が発生し、エラーが検知される。

上記情報が誤ってオール"1"(パリティビットも含めて)と脱出されると、パリティチェック回路(37)のODD出力(41)は"0"、EVEN出力(41)は"1"になり、アンドゲート(44)は"0"なのでゲート(44)がゲートされオアゲート(43)の出力時にはエラー信号が発生し、エラーが検知される。

03

ときのみ奇数パリティでチェックする。

以下簡単に説明を行う。

第8図において(44)は入力情報の否定出力のANDをとるANDゲートで他の回路は第1図のものと全く同じであり、接続方法が若干異なるだけである。

先の例と同じ入力情報(10110011)を書込むとき、パリティ発生回路(38)のEVEN出力(41)は"1"になる。従って記憶装置(42)には(10110011, 1)として書き込まれる。また入力情報がオール"0"(00000000)のときはデータの"1"の数が偶数であり、一方ANDゲート(44)の出力は"1"となるのでパリティ発生回路(38)のEVEN出力(41)は"1"になる。従って記憶装置(42)へは(00000000, 1)としてつまり偶数パリティとして書き込まれる。

第4図において各案子は第1図から第8図で使用しているものと同じである。

第4図において脱出し動作を考えると、前記

04

ここでは説明していないが任意ビットの脱出しエラーは当然のことながらエラー検知される。

以上の様に本発明に依れば、従来のパリティチェックの特徴を残し、その上に少数のゲートを追加するだけで従来の方式では検出不可能であったバーストエラー(パリティビットをも含めた全ビットエラー)を確実に検出することが出来る。

なお前記の実施例の説明では情報を8ビットとしたが、本発明は8ビットに制限されるものではない。

4. 図面の簡単な説明

第1図及び第2図は本発明の一実施例で夫々奇数パリティ方式におけるパリティ発生機構と脱出し機構のブロック図、第8図及び第4図は本発明の他の実施例で、夫々偶数パリティ方式におけるパリティ発生機構と脱出し機構のブロック図である。

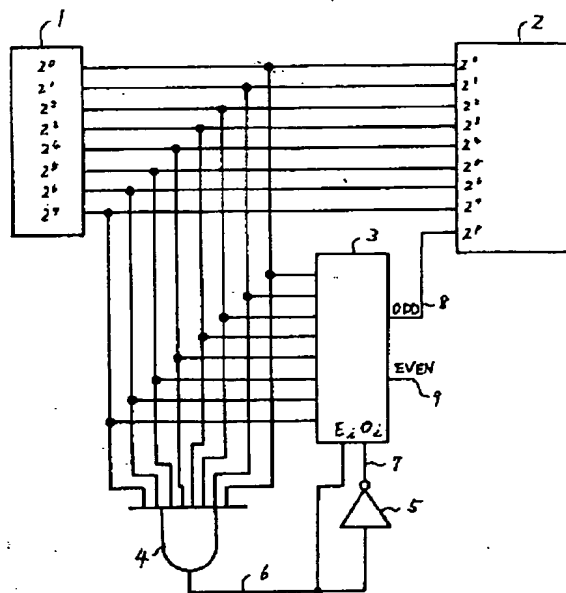
なお、図中同一符号は同一あるいは相当部分を示しており、(1)は入力情報、(2)は記憶装置、

04

(3)はバリティ発生回路、(8)はバリティチェック回路、(4)はアンドゲート、(5)はインバータ、00はアンドゲート、02はオアゲート、04はアンドゲートである。

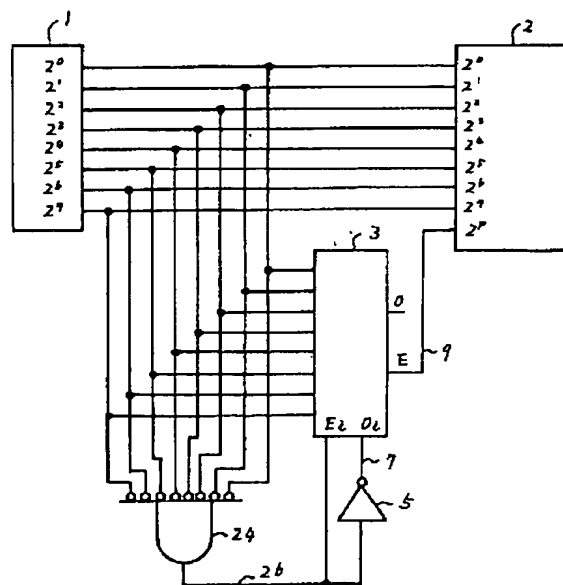
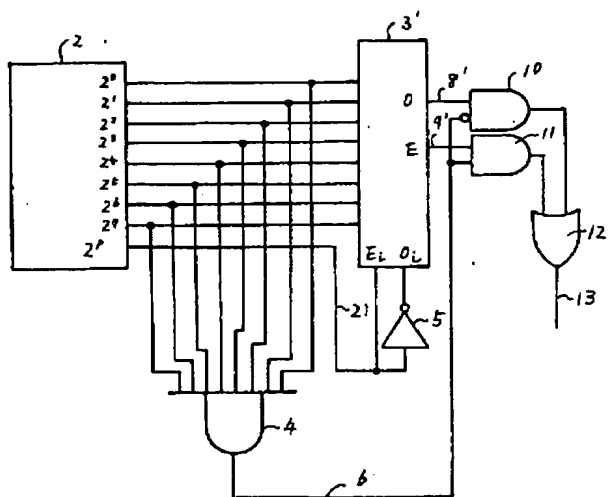
代理人 葛野 信一

第 1 章



第 3 章

第 2 题



第 4 図

